

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 9 7 3 9 6 9 号

(45) 発行日 平成11年(1999)11月8日

(24) 登録日 平成11年(1999)9月3日

(51) Int. Cl.⁶ 識別記号
G 0 2 F 1/136 5 0 0
1/1345

F I
G 0 2 F 1/136 5 0 0
1/1345

発明の数 6

(全 7 頁)

(21) 出願番号 特願平9-111465
(62) 分割の表示 特願昭61-263278の分割
(22) 出願日 昭和61年(1986)11月5日

(65) 公開番号 特開平10-39340
(43) 公開日 平成10年(1998)2月13日
審査請求日 平成9年(1997)5月26日

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 松枝 洋二郎
長野県諏訪市大和3丁目3番5号 セイコー
エプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

審査官 井口 猶二

(56) 参考文献 特開 昭58-57188 (J P, A)
特開 昭58-95383 (J P, A)
実開 昭60-122922 (J P, U)

(58) 調査した分野 (Int. Cl. 6, D B 名)
G02F 1/136 500

(54) 【発明の名称】 アクティブマトリクスパネル及びその検査方法

1

(57) 【特許請求の範囲】

1. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、
前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素

2

領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記データ線の欠陥を検査することを特徴とするアクティブマトリクスパネルの検査方法。

2. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、

10

3

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第 2 スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記走査線の欠陥を検査することを特徴とするアクティブマトリクスパネルの検査方法。

3. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第 1 スイッチング素子とを有する画素領域と、前記複数の第 1 スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第 2 スイッチング素子と、前記複数の第 2 スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第 2 スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じた前記各出力のチェック出力を該画素領域内のデータ線と前記第 2 スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とするアクティブマトリクスパネル。

4. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第 1 スイッチング素子とを有する画素領域と、前記複数の第 1 スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第 2 スイッチング素子と、前記複数の第 2 スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第 2 スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第 2 スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とするアクティブマトリクスパネル。

5. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第 1 スイッチング素子とを有する画素領域と、前記複数の第 1 スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第 2 スイッチング素子と、前記複数の第 2 スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第 2 スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子か

4

らの入力に応じて前記各出力のチェック出力を前記第 2 スイッチング素子を介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とするアクティブマトリクスパネルの検査方法。

6. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第 1 スイッチング素子とを有する画素領域と、前記複数の第 1 スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第 2 スイッチング素子と、前記複数の第 2 スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第 2 スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記第 2 スイッチング素子を介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とするアクティブマトリクスパネルの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクスパネル及びその検査方法に関する。

【0002】

【従来の技術】従来のドライバー内蔵アクティブマトリクスパネルの例としては、反射型では「SID（エス・アイ・ディー）82ダイジェストP. 48-49山崎他」、また透過型では「SID（エス・アイ・ディー）84ダイジェストP. 316両角他」などがある。

【0003】図2はMOSFETを用いたドライバー内蔵アクティブマトリクスパネルの回路図の例である。31は画素エリアであり、データ線36、37、38、走査線39、40、41、及びそれらの交点に設けられた画素トランジスタ48、49、50とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極54との間の液晶の容量が51、52、53である。32はデータ線36、37、38を駆動するXドライバー、33は走査線39、40、41を駆動するYドライバーである。

【0004】

【発明が解決しようとする課題】しかし前述の従来技術では以下に述べるような問題点を生じる。すなわち、内蔵ドライバーの全出力が正常であるかどうかは、パネル状態にしてみなければわからないという問題点である。基板状態で検査するには、プローブカードでドライバーの全出力の信号を取り出す方法があるが、1度に数百～数千のパッドに針を当てるのは極めて困難である。

5

【0005】そこで本発明はこのような問題点を解決するものであり、その目的とするところは、基板状態で簡単にドライバーの出力をチェックできる回路を備えたドライバー内蔵アクティブマトリクスパネルの実現にある。

【0006】

【課題を解決するための手段】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記データ線の欠陥を検査することを特徴とする。本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記走査線の欠陥を検査することを特徴とする。

【0007】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネ

6

ルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じた前記各出力のチェック出力を該画素領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とする。本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とする。

【0008】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とする。

【0009】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することに

7

より前記ドライバ回路の欠陥を検査することを特徴とする。

【0010】

【発明の実施の形態】

【実施例 1】図 1 は本発明の 1 実施例を示す、ドライバとその出力チェック回路を内蔵したアクティブマトリクスパネルの回路図である。このパネルは画素エリア 1 と、X ドライバ 2 とその出力チェック回路 4、そして Y ドライバ 3 とその出力チェック回路 5 とから成っている。画素エリアは、データ線 6、7、8 と走査線 9、10、11、及びこれらの交点に配置された画素トランジスタ 18、19、20 とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極 24 との間に液晶を介した容量 21、22、25 を形成している。X ドライバ 2 はデータ線 6、7、8 を順次選択し、画像データを書き込む働きを持つ。一方、X ドライバ出力チェック回路 4 は、スイッチング素子 12、13、14 とその制御入力 25 及び出力 26 とから成っている。スイッチング素子をすべて閉じさせるような入力信号を 25 に入れた状態で X ドライバを動作させると、画像データ 1 行分の信号が出力 26 から取り出せる。もし、この信号に非連続点や電圧レベルに異常な点があれば、そのタイミングに応じた列の動作が不良であることがわかる。Y ドライバ 3 も走査線 9、10、11 を順次選択するが、ドライバの出力がハイとローの 2 値であるので、この信号で制御されるようなスイッチング素子 15、16、17 とその入出力 27、28 とで Y ドライバチェック回路を構成する。この場合、Y ドライバが動作している間はチェック回路も動作するが、走査線同志がショートするようなことはないためパネルの動作に影響は与えない。Y 側をチェックする場合には入力 27 に適当な信号を入れ、出力 28 からそれと同じ信号が取り出されることを確認すればよい。

【0011】次に、出力チェック回路の構成例をあげ、具体的な検査方法を説明する。図 3 は X ドライバ出力チェック回路の回路図である。61 は画素アレイ部、62 は X ドライバ、63 は Y ドライバである。X ドライバは CMOS のクロックドインバータを用いたシフトレジスタと、その出力 64、65、66、67 のタイミングに応じてビデオ信号 VID からデータ線 72、75、74、75 にデータを書き込むアナログスイッチ 68、69、70、71 とから成る。X ドライバ出力チェック回路は、N チャネルのトランジスタ 76、77、78、79 と 3 本の配線 TX1、TX2、CX とから成る。X ドライバ内のシフトレジスタ部の検査は、スタートパルス XSP が所定の段数分だけ遅れたタイミングでエンドパルス XEP に出ていることを確認すればよい。シフトレジスタが正常に動作していた場合、X ドライバ出力チェック回路を用いてビット不良がないかを検査する。その方法を図 4 を用いて説明する。同図 XS

8

P、φX はそれぞれシフトレジスタのスタートパルスとクロックの電圧波形である。(a)、(b)、(c)、(d) はシフトレジスタの各段の出力 64-67 の電圧波形である。TX1 をハイ、TX2 をローレベルにして、VID に (e) のような信号を入れると、奇数列のデータ線の信号が CX に (f) のような形で表れる。逆に TX1 をロー、TX2 をハイレベルにして、VID に (g) のような信号を入れると、偶数列のデータ線の信号が CX に (h) のような形で表れる。この時、(f) 及び (h) の電圧波形が規則正しければビット不良はないということになる。もし不規則な点があれば、そのタイミングから不良の番地がわかる。

【0012】図 5 は Y ドライバ出力チェック回路の回路図である。81 は画素エリア部、82 は X ドライバ、83 は Y ドライバである。Y ドライバ出力チェック回路は N チャネルのトランジスタ 87、88、89 と 2 本の配線 TY、CY とから成る。図 6 は図 5 の各部の電圧波形である。YSP、φY は Y ドライバのスタートパルスとクロック、(a)、(b)、(c) は走査線 84、85、86 の信号に対応する。シフトレジスタ部の検査は X 側と同様エンドパルス YEP で確認できる。走査線の信号レベルはハイとローの 2 値しかないので、走査線が選択されるのと同時にトランジスタ 87、88、89 も ON する。たとえば TY に (d) のような信号を入れると CY には (e) のような信号が表れる。この波形が規則正しければビット不良はないということになる。

【0013】【実施例 2】図 7 は本発明の第 2 の実施例を表す X ドライバ出力チェック回路の回路図である。101 は画素エリア、102 は X ドライバ、103 は X ドライバ出力チェック回路である。第 1 の実施例と異なるのは CMOS のトランジスタを用いている点であり、TXH をハイ、TXL をローにしておけば広い電圧範囲のビデオ信号に対して出力をチェックできる。X ドライバの出力バッファが CMOS で構成されている場合などには、本実施例を用いる方がよい。

【0014】【実施例 3】図 8 は本発明の第 3 の実施例を表すドライバ内蔵アクティブマトリクスパネルの回路図である。111 は画素エリア、112 は X ドライバ、113 は Y ドライバ、114 は X ドライバ出力チェック回路、115 は Y ドライバ出力チェック回路である。本実施例の特徴は出力チェック回路をダイオードのアレイで構成したところにある。トランジスタに比べて配線も減り、回路のしめる面積も減少するという長所を持っている。

【0015】【実施例 4】図 9 は本発明の第 4 の実施例を示すドライバ内蔵アクティブマトリクスパネルの回路図である。本実施例の特徴はドライバを対称に配置し、1 本の走査線あるいはデータ線をそれぞれ 2 つのドライバで駆動できるように冗長性を持たせたと

10

20

30

40

50

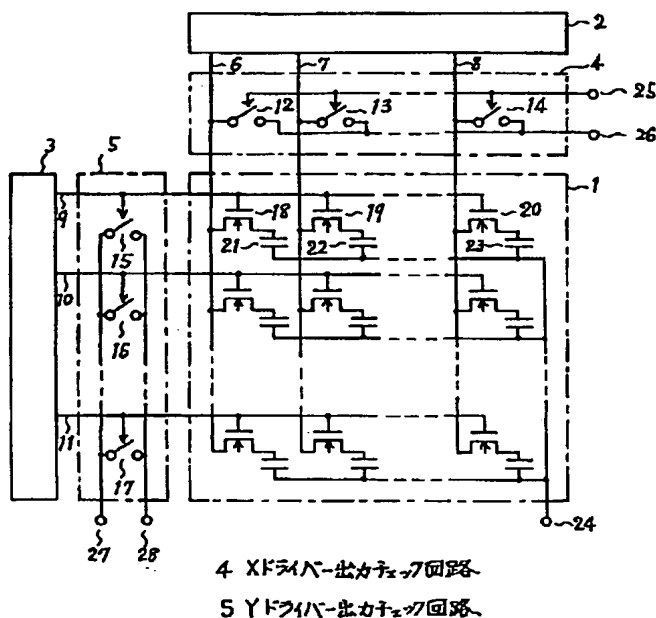
9

ころである。すなわち、本実施例においてはドライバーの出力不良があっても、同じ番地の反対側のドライバーが正常であれば、不良箇所をレーザーリペア等で切断すれば良品となる。本実施例ではこのように修正が可能となるため歩留まりは大幅に向上する。121は画素エリア、122, 123が上下のXドライバー、126, 127が上下のXドライバー出力チェック回路、124, 125が左右のYドライバー、126, 127が左右のYドライバー出力チェック回路であり、上下、左右のドライバーとチェック回路が対称に配置されている。本実施例におけるドライバー出力チェック回路は、実施例1と同様に動作する。また本実施例においては画素エリアの上下、左右にチェック回路を設けているため、2つのドライバー回路のうち、一方の側のドライバー回路の出力を他方の側に設けたドライバー出力チェック回路の出力端子に出力すれば、画素エリア内の断線、ショートもチェックすることができ、信号のタイミングからその番地を割り出すこともできる。

【0016】

【発明の効果】以上述べたように、本発明のアクティブマトリクスパネル及びその検査方法は、パネル組み立て以前に基板の状態が効率よく検査ができるため、作業時間の短縮、製品のコストダウンが可能となる。また、本発明のアクティブマトリクスパネル及びその検査方法で

【図1】



10

は、ドライバーのチェックあるいは、データ線や走査線の不良箇所を調べることができる。データ線や走査線がショートしていればチェック回路の出力タイミングから一意的に番地を求めることができ、走査線やデータ線に断線がないか調べることができる。

【図面の簡単な説明】

【図1】 ドライバー内蔵アクティブマトリクスパネルの回路図。

【図2】 従来のドライバー内蔵アクティブマトリクスパネル回路図。

【図3】 Xドライバー出力チェック回路の回路図。

【図4】 図3の各部の電圧波形を示す図。

【図5】 Yドライバー出力チェック回路の回路図。

【図6】 図5の各部の電圧波形を示す図。

【図7】 Xドライバー出力チェック回路の回路図。

【図8】 ドライバー内蔵アクティブマトリクスパネルの回路図。

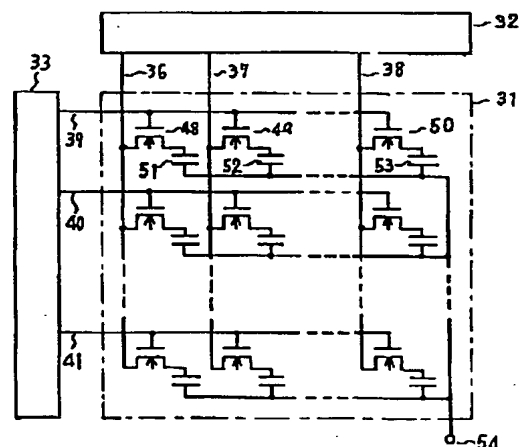
【図9】 ドライバー内蔵アクティブマトリクスパネルの回路図。

【符号の説明】

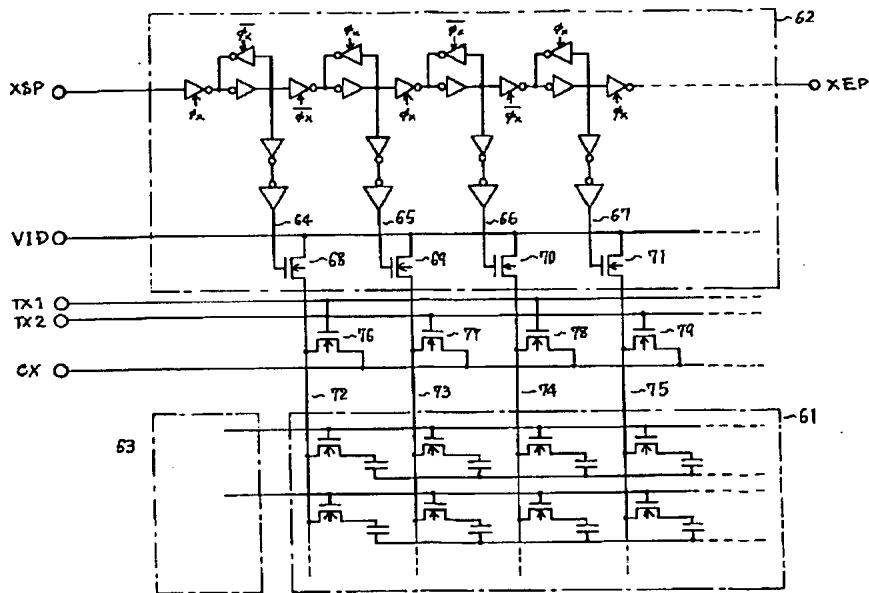
4, 103, 114, 126, 127・・・Xドライバー出力チェック回路

5, 115, 128, 129・・・・・・Yドライバー出力チェック回路

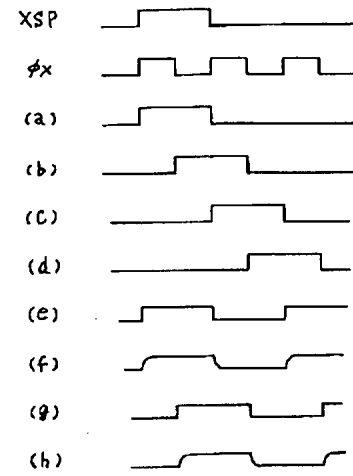
【図2】



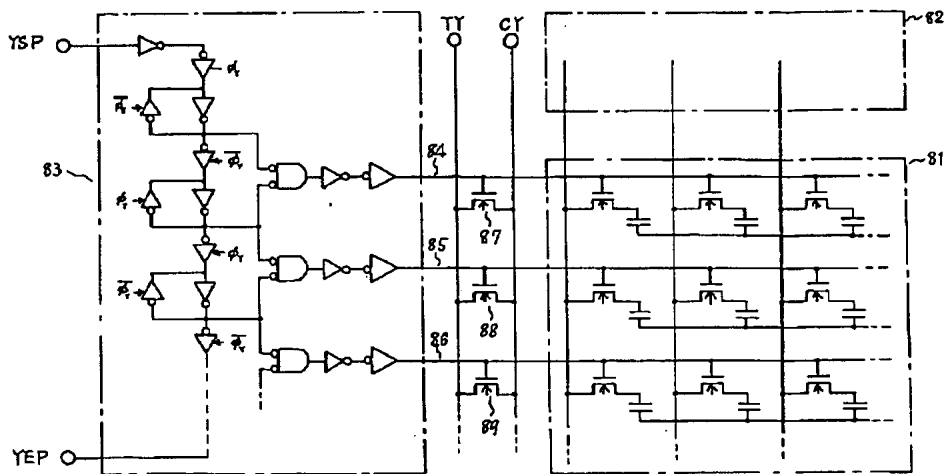
【図 3】



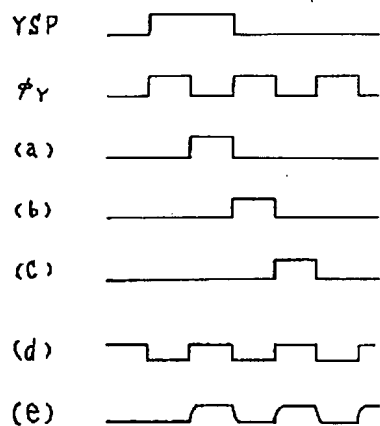
【図 4】



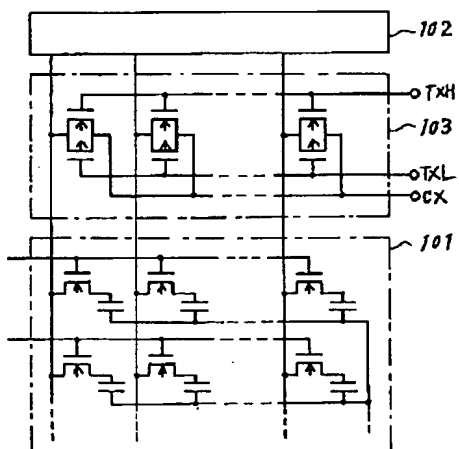
【図 5】



【図6】

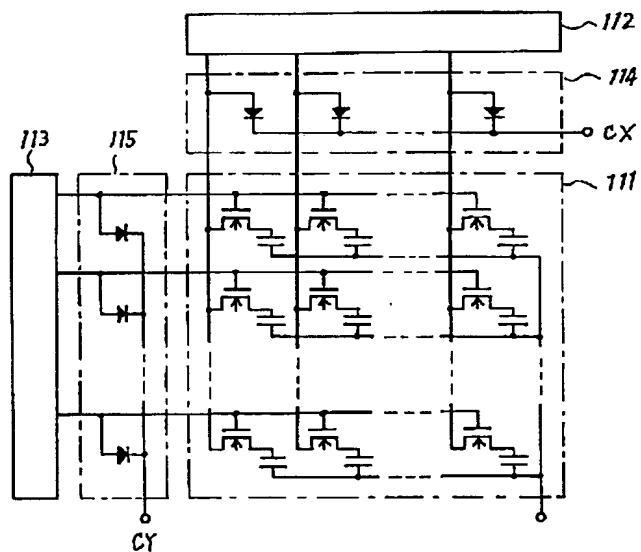


【図7】



103 Xドライバー出力チェック回路

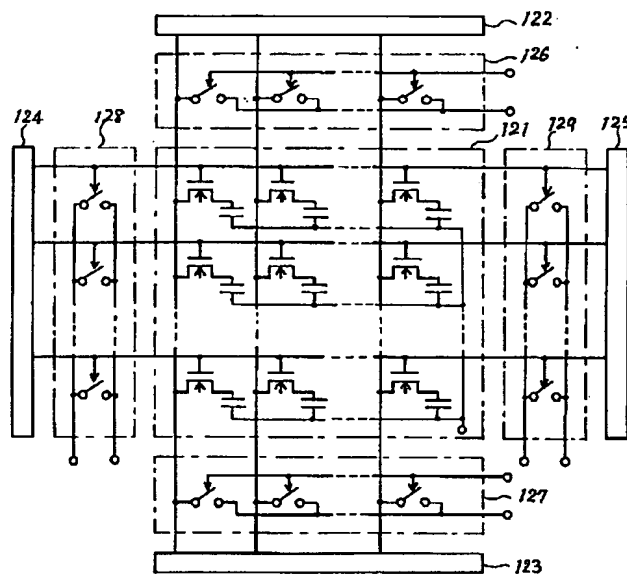
【図8】



114 Xドライバー出力チェック回路

115 Yドライバー出力チェック回路

【図9】



126, 127 Xドライバー出力チェック回路

128, 129 Yドライバー出力チェック回路

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10039340 A**

(43) Date of publication of application: **13 . 02 . 98**

(51) Int. Cl

G02F 1/136
G02F 1/1345

(21) Application number: **09111465**

(22) Date of filing: **28 . 04 . 97**

(62) Division of application: **61263278**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **MATSUEDA YOJIRO**

(54) **ACTIVE MATRIX PANEL AND ITS INSPECTION METHOD**

their inputs and outputs 27, 28.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to easily check the outputs of drivers in a substrate state by outputting the check outputs of the respective outputs meeting the respective outputs from driver circuits via data lines and switching elements to output terminals for checking.

SOLUTION: X driver output check circuits 4 consist of the switching elements 12 to 14 and their control inputs and outputs 26. The signals for one line of image data may be fetched from the outputs 25 when X drivers 2 are operated in the state of putting such input signals that close all of the switching elements 12 to 14 into the inputs 25. The abnormal defects, if any, existing at the discontinuous points and voltage levels of these signals are indicative of the fact that the operation of the row meeting the timing is defective. The Y drivers also successively select scanning lines 9 to 11 but since the driver outputs are binary values of HL, the Y driver check circuits 5 may be composed of the switching elements 15 to 17 to be controlled by these signals and

